

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Junichiro Watanabe

Serial No. Not yet assigned

Group Art Unit: Not yet assigned

Filed: January 29, 2004

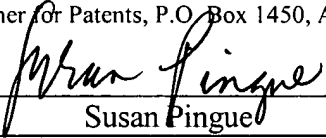
Examiner: Not yet assigned

Title: SEMICONDUCTOR INTEGRATED CIRCUIT

EXPRESS MAIL NUMBER: EV 302279970 US

DATE OF DEPOSIT: January 29, 2004

I hereby certify that this paper is being deposited with the United States Postal Service "EXPRESS MAIL Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313.

  
\_\_\_\_\_  
Susan Pingue

\* \* \*

REQUEST FOR PRIORITY UNDER 35 U.S.C. 119  
AND THE INTERNATIONAL CONVENTION

Assistant Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313

Sir:

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

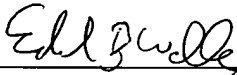
<u>COUNTRY</u>	<u>APPLICATION NO.</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-369287	October 29, 2003

A Certified copy of the corresponding Convention Application is being submitted herewith.

Respectfully submitted,

GRAY CARY WARE & FREIDENRICH LLP

Dated: January 29, 2004

By   
*Edward B. Weller*  
Reg. No. 37,468  
Attorney for Applicant

GRAY CARY WARE & FREIDENRICH  
2000 University Avenue  
East Palo Alto, CA 94303  
Telephone: (650) 833-2436  
Facsimile: (650) 833-2001

日本国特許庁  
JAPAN PATENT OFFICE

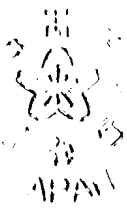
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年10月29日

出願番号  
Application Number: 特願2003-369287  
[ST. 10/C]: [JP 2003-369287]

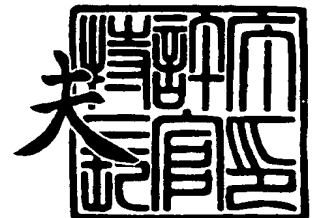
出願人  
Applicant(s): 株式会社東芝  
東芝情報システム株式会社



2004年 1月16日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2003-3111443



【書類名】 特許願  
【整理番号】 A000302891  
【提出日】 平成15年10月29日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 27/00  
【発明者】  
    【住所又は居所】 神奈川県川崎市川崎区日進町 7 番地 1 東芝情報システム株式会  
社内  
    【氏名】 渡邊 淳一郎  
【特許出願人】  
    【識別番号】 000003078  
    【氏名又は名称】 株式会社 東芝  
【特許出願人】  
    【識別番号】 391016358  
    【氏名又は名称】 東芝情報システム株式会社  
【代理人】  
    【識別番号】 100058479  
    【弁理士】  
    【氏名又は名称】 鈴江 武彦  
    【電話番号】 03-3502-3181  
【選任した代理人】  
    【識別番号】 100091351  
    【弁理士】  
    【氏名又は名称】 河野 哲  
【選任した代理人】  
    【識別番号】 100088683  
    【弁理士】  
    【氏名又は名称】 中村 誠  
【選任した代理人】  
    【識別番号】 100108855  
    【弁理士】  
    【氏名又は名称】 蔵田 昌俊  
【選任した代理人】  
    【識別番号】 100084618  
    【弁理士】  
    【氏名又は名称】 村松 貞男  
【選任した代理人】  
    【識別番号】 100092196  
    【弁理士】  
    【氏名又は名称】 橋本 良郎  
【手数料の表示】  
    【予納台帳番号】 011567  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9705037  
    【包括委任状番号】 9110764

**【書類名】 特許請求の範囲****【請求項 1】**

第 1 及び第 2 外部端子を有する内部回路と、  
前記第 1 及び第 2 外部端子に夫々接続された第 1 及び第 2 ヒューズ素子と、  
前記第 1 及び第 2 ヒューズ素子に接続された、静電気放電電流の経路である放電線と、  
を具備することを特徴とする半導体集積回路。

**【請求項 2】**

第 1 及び第 2 外部端子を有する内部回路と、  
前記第 2 外部端子に接続された静電気保護回路と、  
前記第 1 外部端子に接続されたヒューズ素子と、  
前記静電気保護回路とヒューズ素子とに接続された、静電気放電電流の経路である放電線と、  
を具備することを特徴とする半導体集積回路。

**【請求項 3】**

第 1、第 2 及び第 3 外部端子を有する内部回路と、  
前記第 1 外部端子に接続されたヒューズ素子と、  
前記第 2 及び第 3 外部端子に夫々接続された第 1 及び第 2 静電気保護回路と、  
前記第 1 及び第 2 静電気保護回路に接続された、静電気放電電流の経路である第 1 放電線と、  
前記ヒューズ素子と第 2 外部端子とに接続された、前記第 1 外部端子と第 2 外部端子とを  
略同電位に保つための第 2 放電線と、  
を具備することを特徴とする半導体集積回路。

**【請求項 4】**

前記内部回路は、前記第 1 外部端子にゲートが接続された MOS トランジスタをさらに具備し、  
前記各ヒューズ素子の抵抗値は、前記 MOS トランジスタが有するゲート酸化膜の破壊電圧を  $V_{ox}$ 、前記第 1 外部端子と第 2 外部端子との間の静電気放電経路内の配線抵抗値を  $R_m$ 、前記第 1 外部端子と第 2 外部端子との間の静電気放電経路内に配置された全てのヒューズ素子の抵抗値を  $R_x$ 、静電気放電電流値を  $I_{esd}$  とした場合に、  
$$V_{ox} > (R_m + R_x) \times I_{esd}$$
  
の関係を満足することを特徴とする請求項 1 又は 2 記載の半導体集積回路。

**【請求項 5】**

前記内部回路は、前記第 1 外部端子にゲートが接続された MOS トランジスタをさらに具備し、  
前記ヒューズ素子の抵抗値は、前記 MOS トランジスタが有するゲート酸化膜の破壊電圧を  $V_{ox}$ 、前記第 1 外部端子と前記第 2 外部端子或いは第 3 外部端子との間の静電気放電経路内の配線抵抗値を  $R_m$ 、前記ヒューズ素子の抵抗値を  $R_x$ 、静電気放電電流値を  $I_{esd}$  とした場合に、  
$$V_{ox} > (R_m + R_x) \times I_{esd}$$
  
の関係を満足することを特徴とする請求項 3 記載の半導体集積回路。

**【請求項 6】**

第 1 外部端子を有するデジタル回路と、  
前記第 1 外部端子に接続された第 1 静電気保護回路と、  
前記第 1 静電気保護回路に接続された、静電気放電電流の経路である第 1 放電線と、  
第 2 外部端子を有するアナログ回路と、  
前記第 2 外部端子に接続された第 2 静電気保護回路と、  
前記第 2 静電気保護回路に接続された、静電気放電電流の経路である第 2 放電線と、  
前記第 1 放電線と第 2 放電線との間に接続された、前記デジタル回路とアナログ回路との  
静電気放電電流の経路であるヒューズ素子と、  
を具備することを特徴とする半導体集積回路。

**【請求項 7】**

前記デジタル回路は、前記第 1 外部端子にゲートが接続された MOS トランジスタをさらに具備し、

前記ヒューズ素子の抵抗値は、前記 MOS トランジスタが有するゲート酸化膜の破壊電圧を  $V_{ox}$ 、前記第 1 外部端子と第 2 外部端子と間の静電気放電経路内の配線抵抗値を  $R_m$ 、前記ヒューズ素子の抵抗値を  $R_x$ 、静電気放電電流値を  $I_{esd}$ とした場合に、

$$V_{ox} > (R_m + R_x) \times I_{esd}$$

の関係を満足することを特徴とする請求項 6 記載の半導体集積回路。

**【請求項 8】**

前記ヒューズ素子は、 $200 \mu J$  のパルス電力を印加しても切断しないことを特徴とする請求項 1、2、3 又は 6 記載の半導体集積回路。

**【請求項 9】**

前記ヒューズ素子は、 $200 \mu J$  のパルス電力の印加では溶断せず、 $30 mA$ 、 $20$  秒以内の直流電流の印加により切断する特性を持つことを特徴とする請求項 1、2、3 又は 6 記載の半導体集積回路。

**【請求項 10】**

前記ヒューズ素子は、当該半導体集積回路が回路基板に実装された場合に、電氣的に切断されることを特徴とする請求項 1、2、3 又は 6 記載の半導体集積回路。

【書類名】明細書

【発明の名称】半導体集積回路

【技術分野】

【0001】

本発明は、半導体集積回路に係り、特に上記半導体集積回路内の素子を静電気放電（electrostatic discharge；以下、ESDという）から保護する技術に関する。

【背景技術】

【0002】

例えば半導体集積回路においては、回路基板に実装されて使用される以前の取り扱いに際して人体又は各種装置から上記半導体集積回路の信号端子に印加されるESDに対する保護が重要である。ESD保護の方法としては、半導体集積回路の各端子に夫々ESD保護回路を取り付け、ESD保護回路網を形成して行っている。このESD保護回路は、例えば静電気を半導体集積回路内部の保護対象回路に到達させないように放電させる保護素子（例えば、ダイオード）により構成される。

【0003】

図8は、ESD保護回路の一例を示す図である。信号端子I/Oは、保護対象回路であるインバータ回路の入力部に接続されている。電源端子VDDは、インバータ回路の電源接続部に接続されている。接地端子VSSは、インバータ回路の接地接続部に接続されている。そして、電源端子VDDと信号端子I/Oとの間にはダイオードD1が逆向きに配置されている。また、信号端子I/Oと接地端子VSSとの間にはダイオードD2が逆向きに配置されている。

【0004】

上記ESD保護回路において、通常の動作時には、ダイオードD1、D2は逆方向にバイアスされ、回路動作には影響を与えない。

【0005】

これに対して、信号端子I/Oに正のESDが印加された時には、ダイオードD1の順方向電流として電源端子VDDに電荷を放電させ、ダイオードD2の耐圧を超えた逆方向電流として接地端子VSSに電荷を放電させるので、ESDを保護対象回路に到達させない。

【0006】

また、信号端子I/Oに負のESDが印加された時には、ダイオードD2の順方向電流として接地端子VSSに電荷を放電させ、ダイオードD1の耐圧を超えた逆方向電流として電源端子VDDに電荷を放電させるので、ESDを保護対象回路に到達させない。

【0007】

このように上記保護素子を用いた場合、保護素子の特性がESD保護回路網に制限を持ってしまう。図9に、保護素子の一般的な特性を示す。保護対象電圧 $V_{ox}$ は、上記保護対象回路の破壊電圧である。ここでは、上記保護対象回路がMOSトランジスタにより構成されているものとする。保護対象電圧 $V_{ox}$ は、上記保護対象回路のゲート酸化膜が薄くなると低い方向に向かう。そのため、スナップバック電圧 $V_{tl}$ 、ホールド電圧 $V_h$ 、保護素子のオン抵抗 $R_{on}$ を考慮し、保護素子の特性が保護対象電圧 $V_{ox}$ とESD規格で定められたESD電流 $I_{esd}$ とにより決まる保護可能領域に入るように設計している。

【0008】

また、保護素子を用いてESD保護を行う半導体集積回路において、この半導体集積回路内にアナログ回路とデジタル回路とが混載されているものとする。上記半導体集積回路を回路基板に実装する前においては、アナログ回路とデジタル回路との間のESD保護を行うため、アナログ回路とデジタル回路との間にESD経路が必要である。また、上記半導体集積回路が回路基板に実装された場合、アナログ回路とデジタル回路とをノイズ対策のために電氣的に分離する必要がある。よって、アナログ回路とデジタル回路との間にESD保護回路を接続し、アナログ回路とデジタル回路との間でESD保護回路網を形成している。

## 【0009】

また、この種の関連技術として、保護素子と信号端子とをヒューズ素子で接続する例が開示されている（特許文献1参照）。

## 【0010】

ところが、保護素子を用いてESD保護を行っている半導体集積回路が高周波信号（例えば、数GHz）を扱う場合、保護素子の寄生容量が回路特性に影響を及ぼす。ESD保護に保護素子を用いる方式である場合、信号端子と保護素子との電気的な接続は切れないため、保護素子の寄生容量が信号端子に見えてしまう。このため、上記寄生容量により高周波信号の特性が変化してしまう。

## 【0011】

また、ESD保護回路網によっては、保護素子が直列に接続される場合がある。図10は、保護素子1と、保護素子2と、保護素子1及び保護素子2が直列に接続された場合における夫々の特性を示す図である。同図からも分かるように、保護素子が直列に接続された場合、特性を保護可能領域に入れることが困難となる。また上記関連技術においても、保護素子を用いているため保護素子の特性を考慮する必要がある。

## 【0012】

また、ESD保護回路を用いてアナログ回路とデジタル回路との間のノイズ対策における電源分離を行う場合、アナログ回路内の外部端子とデジタル回路内の外部端子との間では、上記ESD保護回路が一段多くなってしまう。よって、外部端子に接続された保護対象回路の耐圧が小さい場合には、ESD保護が困難となる。

## 【0013】

また、保護素子を用いた場合、LSIの微細化に伴い回路面積は小さくできるにも関わらず、保護素子のサイズを小さくすることができない。そのため、回路全体の面積に対するESD保護回路の面積の比が大きくなってしまう。

【特許文献1】特開2001-244338号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0014】

本発明は、上記のような事情に鑑みてなされたもので、ESD保護回路に起因する高速動作の妨げやラッチアップ等を防止でき、且つESDによる素子の破壊を防止することができる半導体集積回路を提供することを目的とする。

## 【課題を解決するための手段】

## 【0015】

上記目的を達成するために本発明の第1の側面に係る半導体集積回路は、第1及び第2外部端子を有する内部回路と、前記第1及び第2外部端子に夫々接続された第1及び第2ヒューズ素子と、前記第1及び第2ヒューズ素子に接続された、静電気放電電流の経路である放電線とを有する。

## 【0016】

また本発明の第2の側面に係る半導体集積回路は、第1及び第2外部端子を有する内部回路と、前記第2外部端子に接続された静電気保護回路と、前記第1外部端子に接続されたヒューズ素子と、前記静電気保護回路とヒューズ素子とに接続された、静電気放電電流の経路である放電線とを有する。

また本発明の第3の側面に係る半導体集積回路は、第1、第2及び第3外部端子を有する内部回路と、前記第1外部端子に接続されたヒューズ素子と、前記第2及び第3外部端子に夫々接続された第1及び第2静電気保護回路と、前記第1及び第2静電気保護回路に接続され、静電気放電電流の経路である第1放電線と、前記ヒューズ素子と第2外部端子とに接続された、前記第1外部端子と第2外部端子とを略同電位に保つための第2放電線とを有する。

## 【0017】

また本発明の第4の側面に係る半導体集積回路は、第1外部端子を有するデジタル回路



と、前記第1外部端子に接続された第1静電気保護回路と、前記第1静電気保護回路に接続された、静電気放電電流の経路である第1放電線と、第2外部端子を有するアナログ回路と、前記第2外部端子に接続された第2静電気保護回路と、前記第2静電気保護回路に接続された、静電気放電電流の経路である第2放電線と、前記第1放電線と第2放電線との間に接続された、前記デジタル回路とアナログ回路との静電気放電電流の経路であるヒューズ素子とを有する。

【発明の効果】

【0018】

本発明によれば、ESD保護素子に起因する高速動作の妨げやラッチアップ等を防止でき、且つESDによる素子の破壊を防止することができる半導体集積回路を提供することができる。

【発明を実施するための最良の形態】

【0019】

以下、本発明の実施の形態について図面を参照して説明する。

【0020】

(第1の実施形態)

図1は、本発明の第1の実施形態に係る半導体集積回路1の主要部を示す図である。

半導体集積回路1は、ESD保護対象回路である内部回路2を備えている。内部回路2には、複数の外部端子が接続されている。VSS1及びVSS2は、接地端子である。VSS1及びVSS2は、接地電位を有する電源ラインに接続される。VDD1及びVDD2は、電源端子である。VDD1及びVDD2は、例えば最も高い電圧を有する電源ラインに接続される。I/O1及びI/O2は、信号の入力或いは出力を行う信号端子である。

【0021】

接地端子VSS1と、電源端子VDD1と、接地端子VSS2と、電源端子VDD2とには、それぞれESD保護回路H1、H2、H3、H4の一方の端子が接続されている。このESD保護回路H1～H4は、例えば2つのダイオードにより構成される。

【0022】

信号端子I/O1及びI/O2には、夫々ヒューズ素子F1及びF2の一方の端子が接続されている。上記各ESD保護回路の他方の端子と、ヒューズ素子F1及びF2の他方の端子とには、放電線4が接続されている。また、例えば内部回路2が備えるMOSトランジスタ3のゲートには、信号端子I/O1が接続されている。

【0023】

このように構成された半導体集積回路1では、任意の2つの外部端子間でESD保護経路が形成されている。例えば、信号端子I/O1にESDが印加され、接地端子VSS2が接地されているものとする。この場合、ESD電流は、ヒューズ素子F1と、放電線4と、ESD保護回路H3と、接地端子VSS2とを介して放電される。したがって、内部回路2にESDが印加されるのを防止することができる。他の任意外部端子についても同様である。

【0024】

ところで、ヒューズ素子F1と放電線4との抵抗値は、下記の関係を満たすように設定される。

【0025】

$$V_{ox} > (R_m + R_x) \times I_{esd}$$

ここで、 $V_{ox}$ は信号端子I/O1に接続された保護対象回路の破壊電圧（本実施形態では、MOSトランジスタ3が有するゲート酸化膜の破壊電圧）、 $R_m$ は信号端子I/O1と任意外部端子との間の静電気放電経路内の配線抵抗値、 $R_x$ は信号端子I/O1と任意外部端子との間の静電気放電経路内に配置された全ヒューズ素子の抵抗値、 $I_{esd}$ は規格で定められたESDの最大電流である。図2は、ESD規格で定められたESDの最大電流の一例を示す図である。

## 【0026】

このようにしてヒューズ素子F1と放電線4との抵抗値が設定されると、例えば信号端子I/O1から接地端子VSS2へESD電流が流れた場合、信号端子I/O1の電圧は、破壊電圧 $V_{ox}$ より低くなる。よって、MOSトランジスタ3が有するゲート酸化膜が破壊されるのを防止することができる。他のヒューズ素子についても同様である。

## 【0027】

ところで、半導体集積回路1が例えば回路基板に実装された場合、ヒューズ素子F1及びF2は電氣的に切断される。これにより、信号端子I/O1及びI/O2の入力容量を劇的に小さくすることが可能となる。よって、信号端子I/O1が高周波信号（例えば数GHz）を扱う端子である場合、上記高周波信号の特性が変化することがなくなる。これにより、上記高周波信号を正確に処理することが可能となる。

## 【0028】

次に、ヒューズ素子F1及びF2の切断について説明する。

図3は、ESD試験を行うための容量放電回路の一例を示す図である。Vは直流電圧源、Cは等価容量、Rは等価抵抗、SWは等価容量Cに対する充電と放電とを切り替えるスイッチである。

## 【0029】

ここで、各種装置からESDが印加される場合（マシンモデル）の等価動作として、 $R = 0\Omega$ 、 $C = 200\text{pF}$ を使用するものとする。一方、人体からESDが印加される場合（人体モデル）の等価動作として、 $R = 1.5\text{k}\Omega$ 、 $C = 100\text{pF}$ を使用するものとする。

## 【0030】

上記マシンモデルでは、 $V = 200\text{V}$ に対して耐性を有すればESDによる内部回路2の損傷は問題にならない。また人体モデルでは、 $V = 2000\text{V}$ に対して耐性を有すればESDによる内部回路2の損傷は問題にならない。

## 【0031】

マシンモデルの $V = 200\text{V}$ における静電エネルギーは、 $4\mu\text{J}$ である。一方人体モデルの $V = 2000\text{V}$ における静電エネルギーは、 $200\mu\text{J}$ である。なお、人体モデルにおいては、Rにおけるエネルギー消費があるので、上記静電エネルギーがすべて内部回路2に印加されるわけではない。

## 【0032】

よって、ヒューズ素子F1或いはF2は、最大で $200\mu\text{J}$ のエネルギーに対して切断しない耐性を有すればよい。さらに、半導体集積回路1に対するESD試験を行う回数は、半導体集積回路1が有する端子数を考慮して、100回以内である。したがって、ヒューズ素子F1或いはF2は、 $200\mu\text{J}$ のエネルギーを100回以内で印加した場合でも切断しない耐性を有している。

## 【0033】

また、上記説明したように、半導体集積回路1が例えば回路基板に実装された場合、ヒューズ素子F1及びF2は電氣的に切断される。ヒューズ素子F1及びF2の切断には、例えば直流電流を使用する。この直流電流の電流値は、上記ヒューズ素子を数秒で切断できる大きさである。本発明に使用する上記ヒューズ素子を切断できる電流値は、本発明者の実験により30mA以内であることが分かった。さらに、上記電流値を20秒以内印加することにより、上記ヒューズ素子を切断することが可能であった。したがって、上記直流電流の電流値を用いれば、上記ヒューズ素子を簡単に切断することが可能である。

## 【0034】

以上詳述したように本実施形態では、半導体集積回路1の内部回路2に接続された外部端子のうち、各電源端子にはESD保護回路を接続する。一方上記外部端子のうち、信号端子にはヒューズ素子を接続する。そして、上記ESD保護回路とヒューズ素子とを放電線4にて接続するようにしている。

## 【0035】

したがって本実施形態によれば、高周波信号を扱う信号端子にESD保護回路が接続されないため、寄生容量による回路特性の変化を防止することができる。

【0036】

また、静電気放電経路内にある各ヒューズ素子と放電線4との抵抗値を上記所定の関係式を満足するように設定しているため、ESD保護対象回路であるMOSトランジスタ3が有するゲート酸化膜の破壊を防止することができる。

【0037】

また、想定される最大の静電エネルギーである $200\mu\text{J}$ を印加しても切断しないヒューズ素子を用いているため、確実にESDから内部回路2を保護することが可能である。

【0038】

また、ESD試験の際に想定した最大試験回数である100回印加しても切断しない耐性を有するヒューズ素子を用いているため、ESD試験中にヒューズ素子が切断することがない。

【0039】

また、ESD保護回路に対して回路面積が小さいヒューズ素子を用いているため、半導体集積回路1の回路面積を縮小することができる。

【0040】

(第2の実施形態)

第2の実施形態は、ESD保護回路が接続された外部端子と信号端子とを放電線とヒューズ素子とを介して接続する。そして、上記外部端子と信号端子とを略同電位に保つようにしたものである。

【0041】

図4は、本発明の第2の実施形態に係る半導体集積回路10の主要部を示す図である。なお、上記図1と同一部分及び構成には、同一符号を付して詳しい説明は省略する。

【0042】

接地端子VSS1には、ESD保護回路H1の一方の端子が接続されている。信号端子I/O1には、ヒューズ素子F1の一方の端子が接続されている。電源端子VDD1には、ヒューズ素子F2の一方の端子が接続されている。接地端子VSS1とヒューズ素子F1とヒューズ素子F2との夫々の他方の端子は、放電線11により接続されている。なお、ESD保護回路H1が接続される端子は、接地端子VSS1に限らず、電源端子VDD1であってもよい。また、例えば内部回路2が備えるMOSトランジスタ3のゲートには、信号端子I/O1が接続されている。

【0043】

このように構成された半導体集積回路10では、接地端子VSS1と信号端子I/O1と電源端子VDD1とは、略同電位に保たれている。ここで、例えば、信号端子I/O1にESDが印加され、接地端子VSS2が接地されているものとする。この場合、ESD電流は、ヒューズ素子F1と、放電線11と、ESD保護回路H1と、放電線4と、ESD保護回路H2と、接地端子VSS2とを介して放電される。したがって、内部回路2にESDが印加されるのを防止することができる。電源端子VDD1についても同様である。

【0044】

ところで、ヒューズ素子F1と放電線11及び4との抵抗値は、上記第1の実施形態と同様、下記の関係を満足するように設定される。

【0045】

$$V_{ox} > (R_m + R_x) \times I_{esd}$$

このようにしてヒューズ素子F1と放電線4との抵抗値が設定されると、例えば信号端子I/O1から接地端子VSS2へESD電流が流れた場合、信号端子I/O1の電圧は、破壊電圧 $V_{ox}$ より低くなる。よって、MOSトランジスタ3が有するゲート酸化膜が破壊されるのを防止することができる。

【0046】

ところで、半導体集積回路 10 が例えば回路基板に実装された場合、ヒューズ素子 F 1 及び F 2 は電氣的に切断される。これにより、信号端子 I/O 1 の入力容量を劇的に小さくすることが可能となる。よって、信号端子 I/O 1 が高周波信号（例えば数 GHz）を扱う端子である場合、上記高周波信号の特性が変化することがなくなる。これにより、上記高周波信号を正確に処理することが可能となる。また、接地端子 VSS 2 と信号端子 I/O 1 と電源端子 VDD 1 とを電氣的に分離することができる。

#### 【0047】

したがって本実施形態によれば、高周波信号を扱う信号端子に ESD 保護回路が接続されないため、寄生容量による回路特性の変化を防止することができる。

#### 【0048】

また、静電気放電経路内にある各ヒューズ素子と放電線 11 及び 4 との抵抗値を上記所定の関係式を満足するように設定しているため、ESD 保護対象回路である MOS トランジスタ 3 が有するゲート酸化膜の破壊を防止することができる。

#### 【0049】

また、使用する ESD 保護回路を大幅に削減できるため、コストが削減でき、且つ回路設計の負担を軽減することができる。

#### 【0050】

また、ESD 保護回路に対して回路面積が小さいヒューズ素子を用いているため、半導体集積回路 1 の回路面積を縮小することができる。

#### 【0051】

（第 3 の実施形態）

第 3 の実施形態は、ESD 保護回路を使用せずに、確実に ESD 保護を行うことができるように半導体集積回路を構成したものである。

#### 【0052】

図 5 は、本発明の第 3 の実施形態に係る半導体集積回路 20 の主要部を示す図である。なお、上記図 1 と同一部分及び構成には、同一符号を付して詳しい説明は省略する。

#### 【0053】

接地端子 VSS 1 と信号端子 I/O 1 と電源端子 VDD 1 と接地端子 VSS 2 と信号端子 I/O 2 と電源端子 VDD 2 とには、夫々ヒューズ素子 F 1 ~ F 6 の一方の端子が接続されている。各ヒューズ素子 F 1 ~ F 6 の他方の端子には、放電線 4 が接続されている。また、例えば内部回路 2 が備える MOS トランジスタ 3 のゲートには、信号端子 I/O 1 が接続されている。

#### 【0054】

このように構成された半導体集積回路 20 では、任意の 2 つの外部端子間で ESD 保護経路が形成されている。また、各 ESD 保護経路は、2 つのヒューズ素子と放電線 4 とを通るパスに統一できる。例えば、信号端子 I/O 1 に ESD が印加され、接地端子 VSS 2 が接地されているものとする。この場合、ESD 電流は、ヒューズ素子 F 2 と、放電線 4 と、ヒューズ素子 F 4 と、接地端子 VSS 2 とを介して放電される。したがって、内部回路 2 に ESD が印加されるのを防止することができる。他の任意外部端子についても同様である。

#### 【0055】

ところで、ヒューズ素子 F 1 ~ F 6 と放電線 4 との抵抗値は、上記第 1 の実施形態同様、下記の関係式を満足するように設定される。

#### 【0056】

$$V_{ox} > (R_m + R_x) \times I_{esd}$$

このようにしてヒューズ素子 F 1 と放電線 4 との抵抗値が設定されると、例えば信号端子 I/O 1 から接地端子 VSS 2 へ ESD 電流が流れた場合、信号端子 I/O 1 の電圧は、破壊電圧  $V_{ox}$  より低くなる。よって、MOS トランジスタ 3 が有するゲート酸化膜が破壊されるのを防止することができる。他のヒューズ素子についても同様である。

#### 【0057】

ところで、半導体集積回路 20 が例えば回路基板に実装された場合、ヒューズ素子 F1 ~ F6 は電氣的に切断される。これにより、通常動作時に内部回路 2 が誤動作を起こすことがなくなる。また、ESD 保護回路を一切使用していないため、ESD 保護回路からのリーク電流や、ESD 保護回路に生じる寄生容量が内部回路 2 の動作に影響を与えることがない。

【0058】

したがって本実施形態によれば、高周波信号を扱う信号端子に ESD 保護回路が接続されないため、寄生容量による回路特性の変化を防止することができる。

【0059】

また、静電気放電経路内にある 2 つのヒューズ素子と放電線 4 との抵抗値を上記所定の関係式を満足するように設定しているため、ESD 保護対象回路である MOS トランジスタ 3 が有するゲート酸化膜の破壊を防止することができる。

【0060】

また、当該半導体集積回路 20 は、ESD 保護回路を一切使用していない。よって、ESD 保護回路の特性を考慮する必要がないため、回路設計の負担を軽減することができる。

【0061】

また、ESD 保護回路を一切使用していないため、半導体集積回路 20 の回路面積を縮小することができる。

【0062】

(第 4 の実施形態)

図 6 は、本発明の第 4 の実施形態に係る半導体集積回路 30 を示す図である。なお、上記図 1 と同一部分及び構成には、同一符号を付して詳しい説明は省略する。

【0063】

内部回路 2 には、複数の外部端子 N1 ~ Nn が接続されている。各外部端子 N1 ~ Nn には、夫々ヒューズ素子 F1 ~ Fn の一方の端子が接続されている。各ヒューズ素子 F1 ~ Fn の他方の端子は、放電線 4 に接続されている。さらに半導体集積回路 30 は、電源入力端子 PI を備えている。この電源入力端子 PI は、放電線 4 にのみ接続されている。

【0064】

このように構成された半導体集積回路 30 では、任意の 2 つの外部端子間で ESD 保護経路が形成されている。また半導体集積回路 30 は、ESD 保護回路を一切用いていない。よって、ESD に耐えうるヒューズ素子のサイズと、ESD に耐えうる放電線 4 の配線幅とを考慮すればよいと、半導体集積回路 30 の回路面積を縮小することができる。

【0065】

例えば大きさが 5 mm × 5 mm、外部端子が 256 端子のチップの場合、ESD 保護回路の面積はチップ全体に対して 14 % を占める。ところが、本実施形態においては、ヒューズ素子のサイズを 10  $\mu$  m、放電線 4 の配線幅を 40  $\mu$  m とした場合でも、各ヒューズ素子 F1 ~ Fn と放電線 4 とが占める面積は、チップ全体に対して 4 % 程度に抑えることができる。なお、その他の効果は、上記第 3 の実施形態と同様である。

【0066】

次に、ヒューズ素子 F1 の切断方法について説明する。

まず、外部端子 N1 を外部から接地電位に固定する。次に、電源入力端子 PI に外部から直流電流を印加する。この直流電流の電流値は、ヒューズ素子 F1 を数秒で切断できる大きさである。本発明に使用するヒューズ素子を切断できる電流値は、本発明者の実験により 30 mA であることが分かった。これにより、ヒューズ素子 F1 を簡単に切断することが可能である。なお、電源入力端子 PI に外部から印加する電源は、直流電圧であってもよい。また、他のヒューズ素子を切断する場合についても同様である。

【0067】

以上詳述したように本実施形態では、内部回路 2 に接続された外部端子 N1 ~ Nn に夫々ヒューズ素子 F1 ~ Fn を接続する。そして、上記各ヒューズ素子 F1 ~ Fn を放電線

4 に接続する。さらに外部から直流電流を印加するための電源入力端子 P I を備え、この電源入力端子 P I を放電線 4 に接続するようにしている。

【0068】

したがって本実施形態によれば、半導体集積回路 30 が E S D 保護回路を用いていないため、半導体集積回路 30 の回路面積を縮小することができる。

【0069】

また、電源入力端子 P I に直流電流を印加し、切断するヒューズ素子が接続された外部端子を接地電位に固定することで、上記ヒューズ素子を簡単に切断することができる。

【0070】

(第5の実施形態)

図7は、本発明の第5の実施形態に係る半導体集積回路40の主要部を示す図である。なお、上記図1と同一部分及び構成には、同一符号を付して詳しい説明は省略する。

【0071】

半導体集積回路40は、アナログ回路41とデジタル回路43とを有する。アナログ回路41は、外部端子N1とN2とを有する。外部端子N1とN2とは、夫々アナログ回路41内のアナログ素子に接続されている(図示せず)。また、外部端子N1とN2とは、夫々E S D保護回路H1とH2との一方の端子に接続されている。E S D保護回路H1とH2との他方の端子は、放電線42に接続されている。

【0072】

デジタル回路43は、外部端子N3とN4とを有する。外部端子N3とN4とは、夫々デジタル回路43内のデジタル素子に接続されている(図示せず)。また、外部端子N3とN4とは、夫々E S D保護回路H3とH4との一方の端子に接続されている。E S D保護回路H3とH4との他方の端子は、放電線44に接続されている。

【0073】

放電線42と放電線44とは、ヒューズ素子F1により接続されている。これにより、アナログ回路41とデジタル回路43とは、E S D経路が形成される。

【0074】

このように構成された半導体集積回路40では、アナログ回路41内の任意の外部端子間においてE S D保護経路が形成されている。また、デジタル回路43内の任意の外部端子間においてもE S D保護経路が形成されている。さらにアナログ回路41内の任意の外部端子とデジタル回路43内の任意の外部端子との間においてもE S D保護経路が形成されている。

【0075】

例えば、外部端子N4にE S Dが印加され、外部端子N2が接地されているものとする。この場合、E S D電流は、E S D保護回路H4と、放電線44と、ヒューズ素子F1と、放電線42と、E S D保護回路H2と、外部端子N2とを介して放電される。したがって、デジタル回路43内のデジタル素子にE S Dが印加されるのを防止することができる。他の任意外部端子についても同様である。

【0076】

ところで、ヒューズ素子F1と放電線42及び44との抵抗値は、下記関係を満足するように設定される。

【0077】

$$V_{ox} > (R_m + R_x) \times I_{esd}$$

ここで、 $V_{ox}$ は外部端子N4に接続された保護対象回路の破壊電圧(本実施形態では、MOSトランジスタ3が有するゲート酸化膜の破壊電圧)、 $R_m$ は外部端子N4とN2との間の静電気放電経路内の配線抵抗値、 $R_x$ はヒューズ素子F1の抵抗値、 $I_{esd}$ は規格で定められたE S Dの最大電流である。

【0078】

このようにしてヒューズ素子F1と放電線42及び44との抵抗値が設定されると、外部端子N4から外部端子N2へE S D電流が流れた場合、外部端子N4の電圧は、破壊電

圧 $V_{ox}$ より低くなる。よって、MOSトランジスタ3が有するゲート酸化膜が破壊されるのを防止することができる。

【0079】

ところで、半導体集積回路40が例えば回路基板に実装された場合、ヒューズ素子F1を電氣的に切断する。これにより、アナログ回路41とデジタル回路43とは、電源分離が可能となる。したがって、例えばデジタル回路43から発生するノイズがアナログ回路41に伝達するのを防止することができる。

【0080】

以上詳述したように本実施形態では、半導体集積回路40が夫々ESD保護回路網を備えたアナログ回路41とデジタル回路43とを有する。そしてアナログ回路41とデジタル回路43との間のESD経路を形成するために、アナログ回路41の放電線42とデジタル回路43の放電線44とをヒューズ素子F1にて接続するようにしている。

【0081】

したがって本実施形態によれば、アナログ回路41とデジタル回路43との間で、ESD経路を形成することができる。

【0082】

また、半導体集積回路40が例えば回路基板に実装された場合、ヒューズ素子F1を電氣的に切断することにより、アナログ回路41とデジタル回路43とを電源分離することが可能となる。

【0083】

また、ヒューズ素子F1と放電線42及び44との抵抗値を上記所定の関係式を満足するように設定しているため、ESD保護対象回路であるMOSトランジスタ3が有するゲート酸化膜の破壊を防止することができる。

【0084】

また、アナログ回路41内の任意の外部端子とデジタル回路43内の任意の外部端子との間において、ESD保護回路の数を一段少なくすることができる。これにより、ESD保護回路の特性に関わる回路設計の負担を軽減することができる。

【0085】

この発明は、上記実施形態に限定されるものではなく、その他、本発明の要旨を変更しない範囲において種々変形して実施可能なことは勿論である。

【図面の簡単な説明】

【0086】

【図1】本発明の第1の実施形態に係る半導体集積回路1の主要部を示す図。

【図2】ESD規格で定められたESDの最大電流の一例を示す図。

【図3】ESD試験を行うための容量放電回路の一例を示す図。

【図4】本発明の第2の実施形態に係る半導体集積回路10の主要部を示す図。

【図5】本発明の第3の実施形態に係る半導体集積回路20の主要部を示す図。

【図6】本発明の第4の実施形態に係る半導体集積回路30を示す図。

【図7】本発明の第5の実施形態に係る半導体集積回路40の主要部を示す図。

【図8】ESD保護回路の一例を示す図。

【図9】保護素子の一般的な特性を示す図。

【図10】保護素子1と、保護素子2と、保護素子1及び保護素子2が直列に接続された場合とにおける夫々の特性を示す図。

【符号の説明】

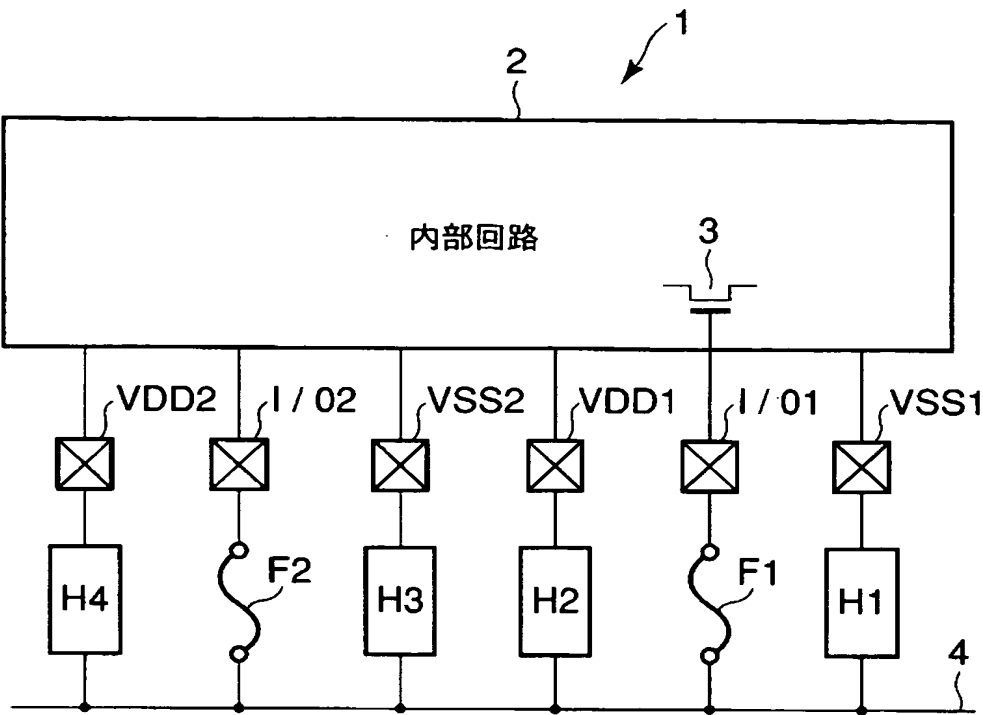
【0087】

VDD, VDD1, VDD2…電源端子、VSS, VSS1, VSS2…接地端子、D1, D2…ダイオード、H1~H4…ESD保護回路、N1~Nn…外部端子、F1~Fn…ヒューズ素子、PI…電源入力端子、V…直流電圧源、C…等価容量、R…等価抵抗、SW…スイッチ、1, 10, 20, 30, 40…半導体集積回路、2…内部回路、3…MOSトランジスタ、4, 11, 42, 44…放電線、41…アナログ回路、43…デジ

タル回路。



【書類名】 図面  
【図 1】

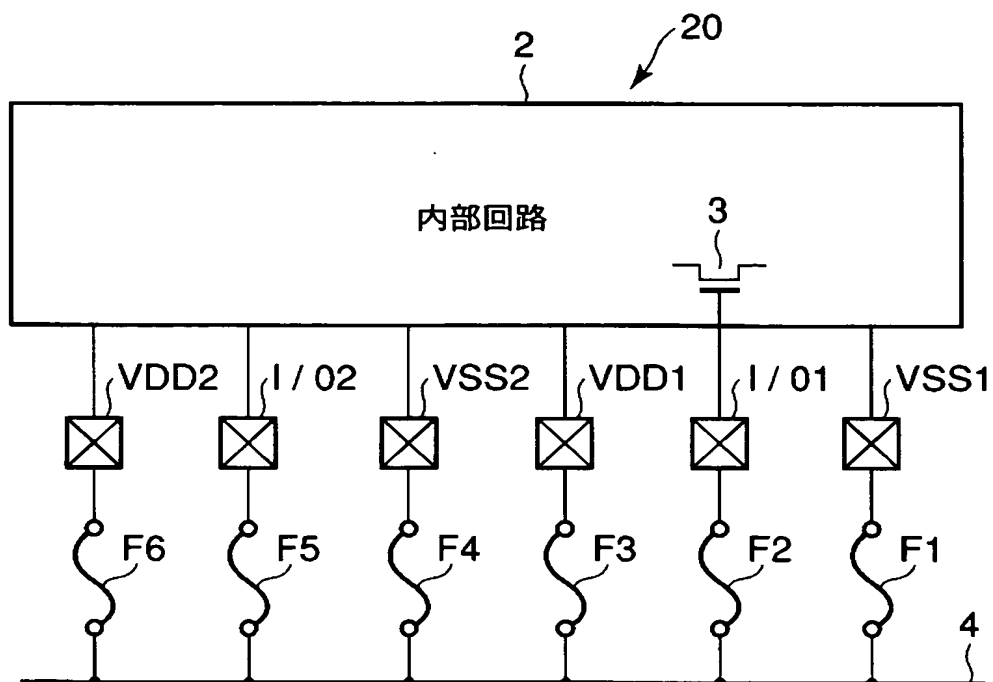


【図 2】

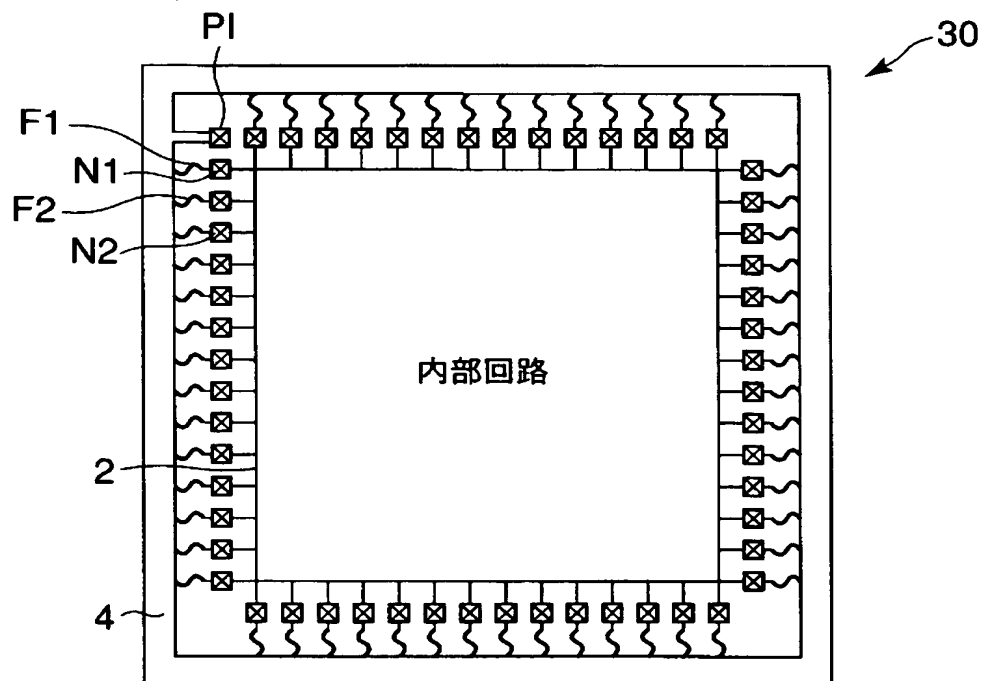
モデル名	試験規格名	最大電流( Typ.)
HBM (Human Body Model)	MIL規格	1.33A
MM (Machine Model)	EIAJ規格	3.3A



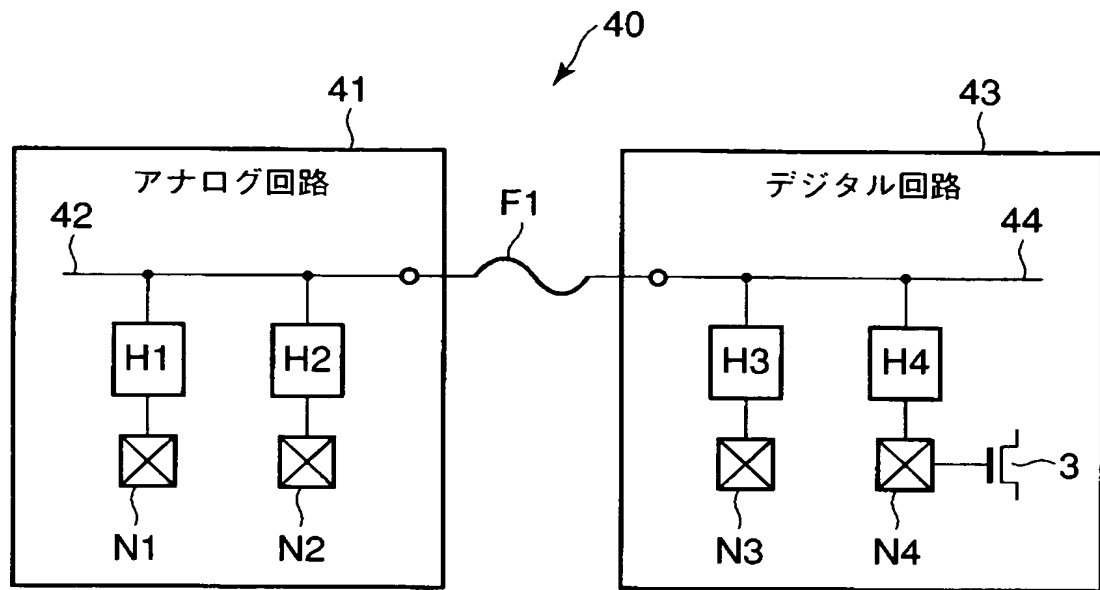
【図 5】



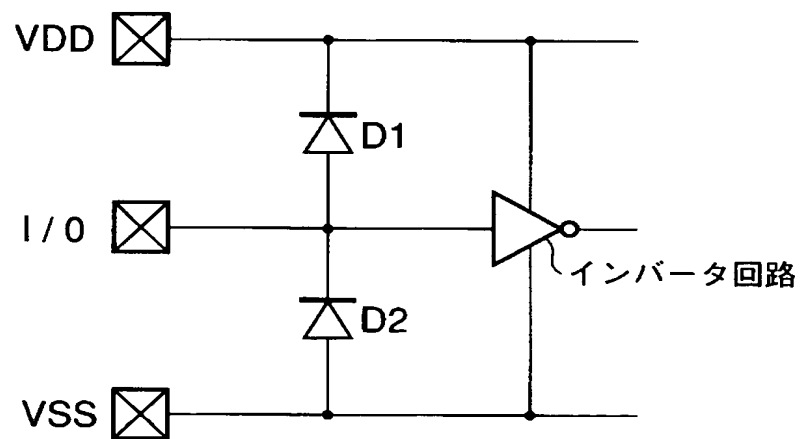
【図 6】



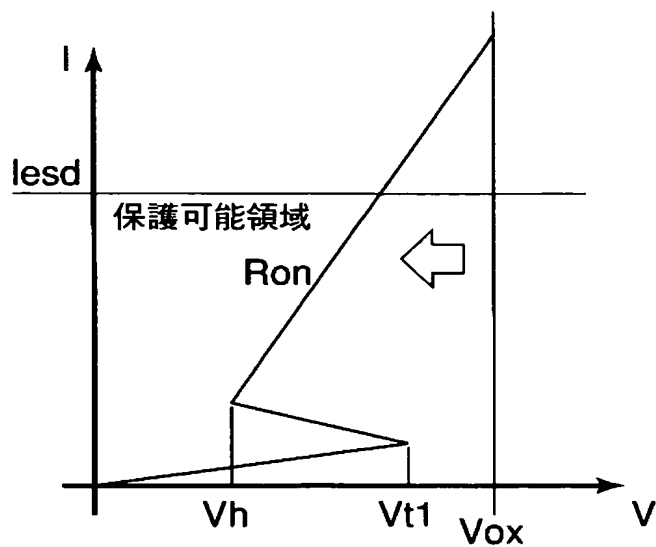
【図 7】



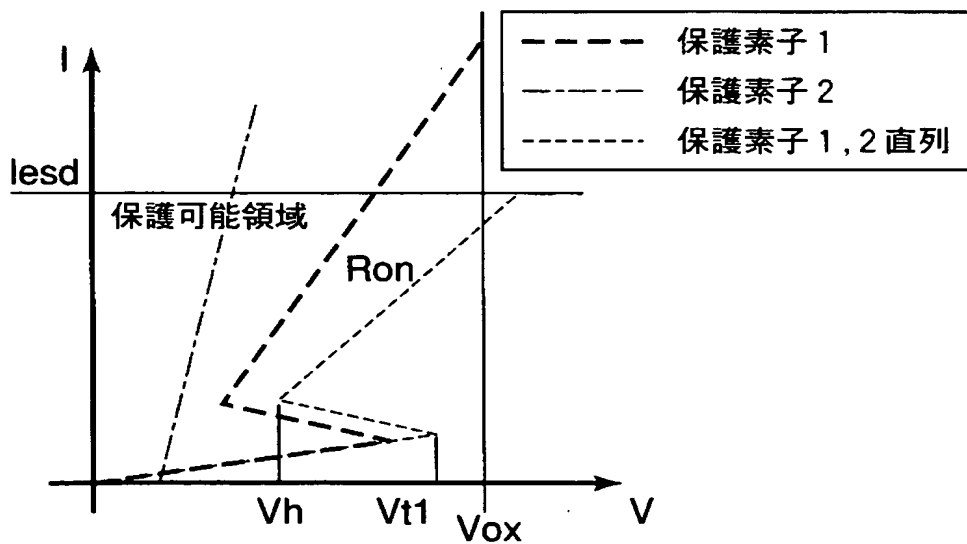
【図 8】



【図 9】



【図 10】



【書類名】要約書

【要約】

【課題】 E S D 保護素子に起因する高速動作の妨げやラッチアップ等を防止し、且つ E S D による素子の破壊を防止する。

【解決手段】 第 1 及び第 2 外部端子を有する内部回路と、前記第 1 及び第 2 外部端子に夫々接続された第 1 及び第 2 ヒューズ素子と、前記第 1 及び第 2 ヒューズ素子に接続された、静電気放電電流の経路である放電線とを有する。

【選択図】 図 1

特願 2 0 0 3 - 3 6 9 2 8 7

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝

特願 2 0 0 3 - 3 6 9 2 8 7

出 願 人 履 歴 情 報

識別番号 [ 3 9 1 0 1 6 3 5 8 ]

1. 変更年月日	1 9 9 6 年 1 月 1 2 日
[変更理由]	住所変更
住 所	神奈川県川崎市川崎区日進町 7 番地 1
氏 名	東芝情報システム株式会社